

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 58-085564
 (43) Date of publication of application : 21.05.1983

(51) Int. Cl. H01L 27/14
 H04N 1/028

(21) Application number : 56-183056 (71) Applicant : NIPPON TELEGR & TELEPH
 CORP <NTT>

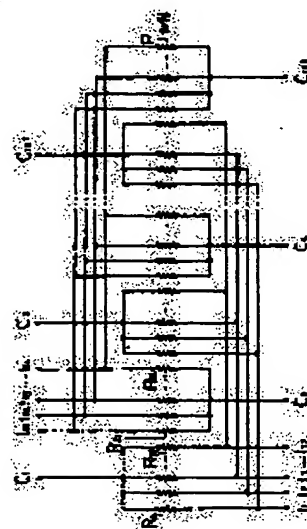
(22) Date of filing : 17.11.1981 (72) Inventor : KOMIYA KAZUMI

(54) IMAGE SENSOR

(57) Abstract:

PURPOSE: To perform an image sensor of high resolution without deteriorating the performance such as operating speed and S/N ratio with simple multilayer wirings by constructing the multilayer wirings to be divided to both sides to a photoelectric converter array.

CONSTITUTION: A drawing is an equivalent circuit diagram of an image sensor, showing the case of 4096 dots of element number. R1 R4096 are photoconductive elements, which employ photoelectric converting material such as CdS, CdSe, Se. Other photoelectric converter such as photodiode, solar battery can be used. Lower individual and upper common side electrodes 11 132 and C1, C3, ..., C127 are coupled in matrix, and upper individual and lower common side electrodes 133 164 and C2, C4, ..., C128 are coupled in matrix. Accordingly, upper and lower individual side multilayer wirings may treat 32 pieces to be advantageous in high density.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
 decision of rejection]

[Kind of final disposal of application
 other than the examiner's decision of
 rejection or application converted
 registration]

[Date of final disposal for
 application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
 decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office

⑨ 日本国特許庁 (JP)

4619
⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—85564

⑪ Int. Cl.³
H 01 L 27/14
H 04 N 1/028

識別記号

庁内整理番号
6819—5F
7334—5C

⑬ 公開 昭和58年(1983)5月21日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ イメージセンサ

横須賀市武1丁目2356番地日本
電信電話公社横須賀電気通信研
究所内

⑮ 特 願 昭56—183056

⑯ 出 願 昭56(1981)11月17日

⑰ 発 明 者 小宮一三

⑱ 出 願 人 日本電信電話公社

⑲ 代 理 人 弁理士 小林将高 外1名

明 細 書

1. 発明の名称

イメージセンサ

2. 特許請求の範囲

光電変換素子^をアレイ状に配置し、ブロック単位に共通側電極を設け、前記ブロック単位の個別側電極をマトリクス結線したイメージセンサにおいて、前記各共通側電極および個別側電極をブロック単位に前記光電変換素子アレイに対し交互に両側に配置するとともに、多層配線部を前記個別側電極側に設けたことを特徴とするイメージセンサ。

3. 発明の詳細な説明

この発明は、16ドット/mm以上の分解能をもつフアクシミリ等の読み取り系に使用するイメージセンサに関するものである。

第1図は従来のイメージセンサの構成例を示す等価回路図である。全体の素子数は2048ドットで、これを共通側電極64個(C₁～C₆₄)、個別側電極32個(I₁～I₃₂)によりマトリクス配線を行つている。R₁～R₂₀₄₈は光導電素子、

ホトダイオードなどの光電変換素子で、アレイ状に配置されている。共通側電極C₁～C₆₄に順次電圧を印加し、個別側電極I₁～I₃₂を順次駆動し出力を取り出す構成であり、8ドット/mmの分解能まで実現できている。

一方、フアクシミリ用センサの最近の傾向として、画品質の向上をめざして16ドット/mmの高分解能化が要請されている。ところが第1図の構成のまま16ドット/mmの分解能、すなわち4096ドットを実現しようとするとなつたような欠点がある。すなわち、マトリクス構成が共通側電極128個、個別側電極64個となり、特に個別側電極は通常フィルムリード等の絶縁性フィルムを用いて多層配線を行うため2倍の配線を処理する必要があり、新規な製造設備が必要である。また個別側電極数が増大すると各電極の出力容量が大きくなり、このため動作速度が劣化することや、もれ電流が大きくなりS/N比が劣化する欠点があつた。

この発明は、これらの欠点を解決するため、マトリクス配線の多層配線部を光電変換素子アレイ

の両側に配置したものである。以下、図面についてこの発明を詳細に説明する。

第2図はこの発明によるイメージセンサの等価回路図で、素子数4096ドットの場合を示している。 $I_1 \sim I_{32}$ は下側個別側電極、 $I_{33} \sim I_{64}$ は上側個別側電極、 C_1, C_3, \dots, C_{127} は上側共通側電極、 C_2, C_4, \dots, C_{128} は下側共通側電極である。 $R_1 \sim R_{4096}$ は光電変換素子であり、 $CdS, CdSe, Se$ などの光電変換材料が使われる。またホトダイオード、太陽電池などの他の光電変換素子も使用可能である。

下側個別側電極 $I_1 \sim I_{32}$ と上側共通側電極 C_1, C_3, \dots, C_{127} がマトリクス結線されており、また上側個別側電極 $I_{33} \sim I_{64}$ と下側共通側電極 C_2, C_4, \dots, C_{128} がマトリクス結線されている。したがって、上側、下側個別側多層配線部は32本の配線を処理すればよく、高密度化に有利となる。

第3図は第2図の実施例の駆動回路のブロック図を示している。 S はこの発明によるイメージセンサ、1は上側共通側電極のスイッチ回路、2は

(3)

ように、第2図の実施例では全体の素子数が2倍になつていながらもかわらず、1つの個別側電極に並列に接続される素子数が同じであるので各電極の出力容量、もれ電流に関する条件も同等であり、したがって、動作速度、 SN 比等も劣化することなく性能を確保することができる。

以上説明したように、この発明は多層配線部を光電変換素子アレイに対し両側に振り分けた構成であるので、多層配線部が簡単で、かつ動作速度、 SN 比等の性能を劣化させることなく、16ドット/mm程度の高分解能のイメージセンサを実現できる利点がある。これより小形で経済的なフアクシミリ等の読み取り系へ応用できる。

4. 図面の簡単な説明

第1図は従来のイメージセンサの等価回路図、第2図はこの発明の一実施例を示すイメージセンサの等価回路図、第3図は第2図の駆動回路のブロック図、第4図は動作説明のためのタイミング波形図、第5図はこの発明のイメージセンサの構成図である。

(5)

下側共通側電極のスイッチ回路、3は上、下側個別側電極のスイッチ回路、4はクロックパルス等が発生する制御回路、5はプリアンプ等の出力回路である。

第4図にタイミング波形として128画素までを例にとり示している。上側、下側共通側電極 C_1, C_2, C_3, C_4 をブロック単位に交互に、下側、上側個別側電極 $I_1 \sim I_{32}, I_{33} \sim I_{64}$ を順次駆動することにより時系列の出力信号を取り出すことができる。

第5図は実際の構成例を示している。図では上側のみマトリクス結線の多層配線部を示している。6は多層配線用の絶縁膜で、例えばポリイミドフィルムリードが用いられる。7は前記ポリイミドフィルムリード6上にあらかじめ形成されているリード配線である。8は前記下側個別側電極 $I_1 \sim I_{32}$ とリード配線7をはんだ付けする個所である。多層配線部を上下に分けたことにより、従来のフィルムリードを製造方法を変えことなく使用できる。また第1図と第2図を比較してわかる

(4)

図中、 $I_1 \sim I_{32}$ は下側個別側電極、 $I_{33} \sim I_{64}$ は上側個別側電極、 C_1, C_3, \dots, C_{127} は上側共通側電極、 C_2, C_4, \dots, C_{128} は下側共通側電極、 $R_1 \sim R_{4096}$ は光電変換素子である。

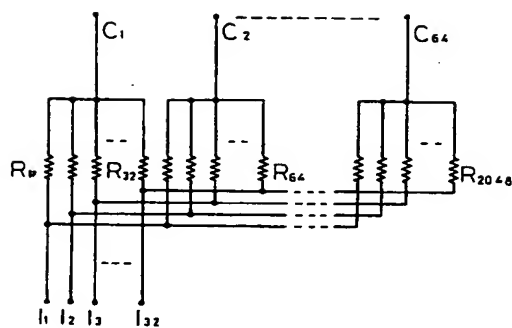
代理人 小林 将高



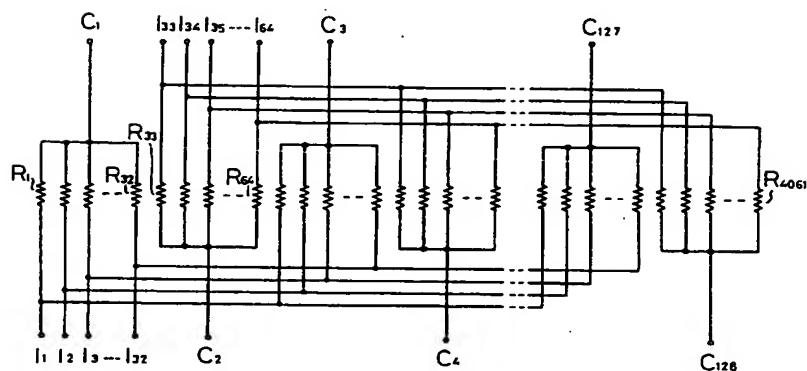
(ほか1名)

(6)

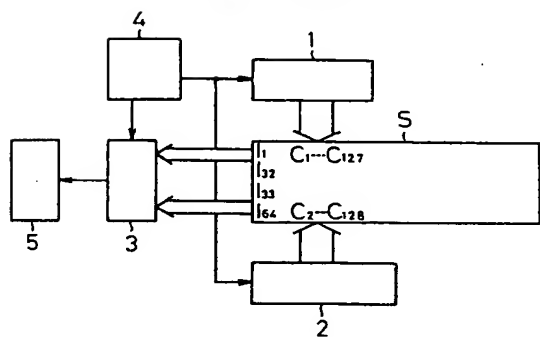
第 1 図



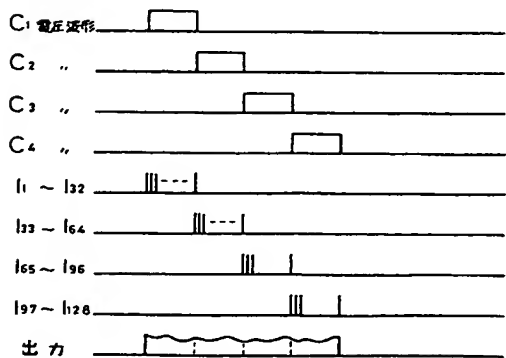
第 2 図



第 3 図



第 4 図



第 5 図

